

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-051672

(43)Date of publication of application : 18.02.1997

(51)Int.Cl.

H02M 3/155

(21)Application number : 07-202126

(71)Applicant : SUMITOMO METAL IND LTD

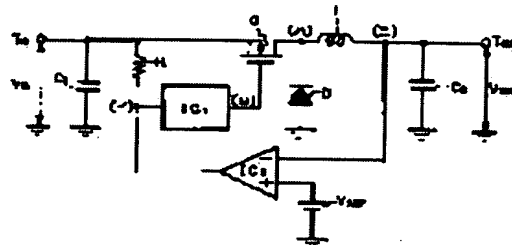
(22)Date of filing : 08.08.1995

(72)Inventor : SAGARA YASUHIKO

(54) SELF-EXCITED STEP-DOWN TYPE DC-DC CONVERTER**(57)Abstract:**

PROBLEM TO BE SOLVED: To reduce cost and to miniaturize a DC-DC converter by providing a comparator for supplying a voltage which is proportional to a voltage to an output terminal to an inverted input and a drive circuit for turning on a switching element at a specific time interval by receiving the output voltage.

SOLUTION: When an input voltage V_{IN} is applied to an input terminal I_{IN} and a reference voltage V_{REF} is applied to the non-inverted input of a comparator IC_2 , the output of the comparator IC_2 reaches a high level since the inverted input of the comparator IC_2 is at zero potential. Then, a drive circuit IC_1 turns on a P-channel MOS transistor Q . Then, an output voltage V_{OUT} , namely the voltage of the inverted input of the comparator IC_2 increases and the output voltage reaches a low level and then the transistor Q is turned off by the drive circuit IC_1 . The output voltage V_{OUT} is maintained at a preset value according to the relationship between the sum of the on and off periods of the P-channel transistor Q , namely a switching time, and an on/off ratio.

**LEGAL STATUS**

[Date of request for examination] 04.02.2002

[Date of sending the examiner's decision of rejection] 05.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(43)公開日 平成9年(1997)2月18日

技術表示箇所

H

審査請求 未請求 請求項の数3 OL (全 6 頁)

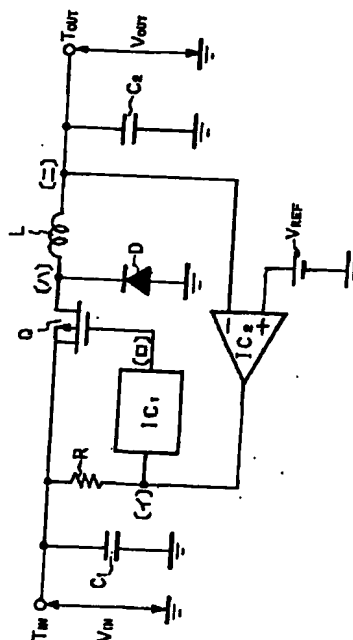
(74)代理人 弁理士 湯浅 恭三 (外6名)

(54) 【発明の名称】 自励式の降圧型DC-DCコンバータ

(57) 【要約】

【目的】 安価で小型な降圧型DC-DCコンバータを得ること。

【構成】 入力端子 T_{IN} と接地電位部との間に入力用コンデンサ C_1 が、出力端子 T_{OUT} と接地電位部との間に出
力用コンデンサ C_2 が接続される。入力端子 T_{IN} と出力
端子 V_{OUT} との間にはスイッチング素子 Q とチョークコ
イル L との直列回路が接続され、スイッチング素子 Q
とチョークコイル L との接続点と接地電位部との間にダイ
オード D が接続される。コンパレータ I_{C_2} の非反転入
力には基準電圧 V_{REF} が供給され、反転入力には出力端
子 V_{OUT} の電圧に比例した電圧が供給される。コンパレ
ータ I_{C_2} の出力電圧は駆動回路 I_{C_1} に与えられ、スイ
ッチング素子 Q を所定の時間間隔でオンさせる。



【特許請求の範囲】

【請求項1】 入力端子と接地電位部との間に接続された入力用コンデンサと、

出力端子と接地電位部との間に接続された出力用コンデンサと、

前記入力端子と前記出力端子との間に接続されたスイッチング素子とチョークコイルとの直列回路と、

前記スイッチング素子と前記チョークコイルとの接続点と接地電位部との間に接続されたダイオードと、を備えた降圧型DC-DCコンバータにおいて、

非反転入力に基準電圧が供給され、反転入力に前記出力端子での電圧に比例した電圧が供給されるコンバータと、

前記コンバータの出力電圧を受け取って前記スイッチング素子を所定の時間間隔でオンさせる駆動回路と、を具備することを特徴とする自励式の降圧型DC-DCコンバータ。

【請求項2】 請求項1記載の降圧型DC-DCコンバータであって、前記駆動回路がインバータであり、発振回路を内蔵しないことを特徴とする降圧型DC-DCコンバータ。

【請求項3】 前記入力端子と前記接地電位部との間に接続されたツェナーダイオードと、前記出力端子と前記接地電位部との間に接続された抵抗分圧器と、を更に備え、前記コンバータの前記非反転入力には前記ツェナーダイオードの出力が前記基準電圧として供給され、前記コンバータの前記反転入力には前記抵抗分圧器から電圧が供給されることを特徴とする降圧型DC-DCコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、入力電圧を効率良く所望の出力電圧に変換することができる自励式の降圧型DC-DCコンバータに関する。

【0002】

【従来の技術】 従来のDC-DCコンバータとして、トランスを使用したRCC (Ringing Choke Converter) 回路方式と、スイッチング・トランジスタや電圧安定化のための制御回路その他の回路要素を含む専用の集積回路 (専用IC) に入力用コンデンサ、出力用コンデンサ、チョークコイル及びダイオードを外付けした専用ICを用いる方法とが知られている。

【0003】 図4の(A)は、RCC回路方式によるDC-DCコンバータの一例を示す回路図である。同図において、入力電圧は入力端子 T_{IN} に印加される。入力端子 T_{IN} は入力用コンデンサ C_1 を介して接地 (接地電位部に接続) され、起動抵抗 R_0 を介してスイッチング・トランジスタ T_R のベースに接続され、かつトランスの第1の一次巻線 N_p の一端に接続される。第1の一次巻

線 N_p の他端はスイッチング・トランジスタ T_R のコレクタに接続され、スイッチング・トランジスタ T_R のエミッタは接地される。スイッチング・トランジスタ T_R のベースはベース帰還抵抗 R_B を介してダイオード D_2 のカソードに接続され、ダイオード D_2 に並列にコンデンサ C_4 が接続される。ダイオード D_2 のアノードは第2の一次巻線 N_s の一端及びダイオード D_3 のカソードに接続される。ダイオード D_3 のアノードはコンデンサ C_3 を介して接地され、第2の一次巻線 N_s の他端も接地される。スイッチング・トランジスタ T_R のベースはツェナーダイオード ZD のカソードに接続され、ツェナーダイオード ZD のアノードはダイオード D_3 のアノードに接続される。トランスの二次巻線 N_s の一端にはダイオード D_1 のアノードが接続され、ダイオード D_1 のカソードは出力用コンデンサ C_2 を介してトランスの二次巻線 N_s の他端に接続され、出力用コンデンサ C_2 の両端は出力端子 T_{OUT} に接続される。

【0004】 いま、入力電圧が入力端子 T_{IN} に印加されると、起動抵抗 R_0 を介してスイッチング・トランジスタ T_R のベースに電流が流れるので、スイッチング・トランジスタ T_R はオンになり、第1の一次巻線 N_p の両端間に入力電圧が印加される。これによって、第1の一次巻線 N_p と電磁的に結合する第2の一次巻線 N_s にも電圧が誘起され、この電圧によりダイオード D_2 、ベース帰還抵抗 R_B を介してスイッチング・トランジスタ T_R のベースに電流が流れるので、スイッチング・トランジスタ T_R のオン状態が維持される。時間の経過と共にスイッチング・トランジスタ T_R のエミッタ・コレクタ間に流れる電流は増大していくが、スイッチング・トランジスタ T_R が飽和状態を維持できなくなると、第1の一次巻線 N_p に印加される電圧が減少し、それに比例して、第2の一次巻線 N_s に誘起される電圧も低下するので、スイッチング・トランジスタ T_R のベース電流が減少し、スイッチング・トランジスタ T_R はオフとなる。

【0005】 スwitchング・トランジスタ T_R は以上説明したオン、オフ動作を反復するので、二次巻線 N_s にもオン、オフを反復する電圧が発生される。この電圧をダイオード D_1 とコンデンサ C_2 によって平滑することにより、出力端子 T_{OUT} から直流電圧を取り出すことができる。

【0006】 次に、図4の(B)は、専用の集積回路を使用した降圧型DC-DCコンバータの回路構成を示す図である。なお、図4の(A)に示す構成要素と同様の構成要素には同一の符号が付されている。図4の(B)に示すDC-DCコンバータにおいて、専用の集積回路ICには、DC-DCコンバータに必要なスイッチング・トランジスタ及び出力電圧を安定化するのに必要な制御回路が内蔵されており、入力端子 T_{IN} は専用の集積回路ICの入力側端子INに接続されると共に入力用コンデンサ C_1 を介して接地される。集積回路ICの出力側

端子OUTはチョークコイルLを介して出力端子 T_{OUT} に接続され、スイッチング素子であるダイオードDを介して接地される。出力端子 T_{OUT} は出力用コンデンサ C_2 を介して接地され、また集積回路ICの帰還端子FBに接続される。

【0007】

【発明が解決しようとする課題】ところで、図4の(A)に示すRCC回路方式はトランスを使用するので、DC-DCコンバータを小型化、低背化(部品の高さを低くすること)することが困難であり、また、スイッチング周波数が100kHz以下と低いために出力ノイズが大きく、しかも、トランスによって損失が生じるために変換効率を高めることができないという欠点がある。

【0008】また、図4の(B)に示す専用ICを用いる方法は出力ノイズが大きく、使用する集積回路自体が高価であるという欠点がある。この集積回路には、DC-DCコンバータの出力電圧を安定化するための制御回路が内蔵されており、この制御回路には、スイッチング周波数は一定にしてスイッチング・トランジスタをオン、オフする時間の比を制御するパルス幅変調(PWM)方式、又は、スイッチング・トランジスタのオン時間またはオフ時間を固定してスイッチング周波数を制御するパルス周波数変調(PFM)方式が主に採用されている。このスイッチング周波数は通常は100kHz以下であるため、出力ノイズを小さくするためにはチョークコイル及び出力用コンデンサを大容量化しなければならないが、これによってDC-DCコンバータの価額は更に高くなり、また小型化しようにも限度がある。

【0009】この発明は、以上の欠点を解消するために提案されたものであり、専用の集積回路を使用したのと同等の特性を得ることができ、安価で小型の自励式の降圧型DC-DCコンバータを提供することを目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するために、この出願の請求項1に記載された発明にあっては、入力端子と接地電位部との間に接続された入力用コンデンサと、出力端子と接地電位部との間に接続された出力用コンデンサと、前記入力端子と前記出力端子との間に接続されたスイッチング素子とチョークコイルとの直列回路と、前記スイッチング素子と前記チョークコイルとの接続点と接地電位部との間に接続されたダイオードと、を備えた降圧型DC-DCコンバータにおいて、非反転入力に基準電圧が供給され、反転入力に前記出力端子での電圧に比例した電圧が供給されるコンパレータと、前記コンパレータの出力電圧を受け取って前記スイッチング素子を所定の時間間隔でオンさせる駆動回路と、が設けられる。

【0011】この出願の請求項2記載の発明にあって

は、前記駆動回路をインバータとし、発振回路を内蔵しないようにしたものである。

【0012】この出願の請求項3記載の発明にあっては、前記入力端子と前記接地電位部との間に接続されたツェナーダイオードと、前記出力端子と前記接地電位部との間に接続された抵抗分圧器と、が更に設けられ、前記コンパレータの前記非反転入力には前記ツェナーダイオードの出力を前記基準電圧として供給し、前記コンパレータの前記反転入力には前記抵抗分圧器から電圧を供給するようにしている。

【0013】

【作用】この出願の請求項1記載の発明においては、コンパレータの非反転入力には基準電圧が供給され、反転入力には出力端子での電圧に比例した電圧が供給される。このコンパレータの出力電圧が駆動回路に入力され、第1のスイッチング素子が所定の時間間隔でオンする。

【0014】この出願の請求項2記載の発明においては、駆動回路はインバータであり、コンパレータの出力が反転されてスイッチング素子に与えられる。

【0015】この出願の請求項3記載の発明においては、コンパレータの非反転入力にツェナーダイオードの出力が供給され、該コンパレータの反転入力には抵抗分圧器から電圧が供給される。

【0016】

【発明の実施の形態】以下、図面を参照しながら若干の実施形態について説明する。図1は、この発明に係る自励式の降圧型DC-DCコンバータの基本構成を示す回路図である。図において、入力電圧 V_{IN} が印加される入力端子 T_{IN} は入力用コンデンサ C_1 を介して接地され、また、スイッチング素子であるPチャンネルMOSトランジスタQとチョークコイルLとの直列回路を介して出力端子 T_{OUT} に接続される。PチャンネルMOSトランジスタQのドレインとチョークコイルLとの接続点はダイオードDのカソードに接続され、ダイオードDのアノードは接地される。PチャンネルMOSトランジスタQのゲートには例えばインバータである駆動回路IC₁の出力が接続され、駆動回路IC₁の入力は抵抗Rを介して入力端子 T_{IN} に接続され、またコンパレータIC₂の出力にも接続される。コンパレータIC₂の非反転入力には基準電圧 V_{REF} が印加され、コンパレータIC₂の反転入力には出力端子 T_{OUT} と接続される。出力端子 T_{OUT} は出力用コンデンサ C_2 を介して接地され、また負荷抵抗に接続される。

【0017】こうして、入力用コンデンサ C_1 、PチャンネルMOSトランジスタQ、チョークコイルL、ダイオードD及び出力用コンデンサ C_2 によって降圧型DC-DCコンバータが構成され、駆動回路IC₁、コンパレータIC₂、抵抗R及び基準電圧 V_{REF} によって、PチャンネルMOSトランジスタQのオン、オフを制御して出

力電圧を安定化する制御回路が構成される。

【0018】いま、入力端子 T_{IN} に入力電圧 V_{IN} が加えられ、コンパレータ IC_2 の非反転入力に基準電圧 V_{REF} が加えられたとき、コンパレータ IC_2 の反転入力にはゼロ電位にあるため、コンパレータ IC_2 の出力はハイレベルとなる。そこで、駆動回路 IC_1 はPチャンネルMOSトランジスタQをオンにする。

【0019】PチャンネルMOSトランジスタQがオンになると、出力電圧 V_{OUT} 、したがってコンパレータ IC_2 の反転入力での電圧が上昇する。更に出力電圧 V_{OUT} が上昇して基準電圧 V_{REF} に達すると、コンパレータ IC_2 の出力電圧は反転してローレベルになるため、PチャンネルMOSトランジスタQは駆動回路 IC_1 によってオフにされる。

【0020】PチャンネルMOSトランジスタQがオフになると、出力電圧 V_{OUT} は低下し始める。出力電圧 V_{OUT} が基準電圧 V_{REF} に達すると、コンパレータ IC_2 の出力は反転してハイレベルとなり、PチャンネルMOSトランジスタQは再びオンになる。

【0021】PチャンネルMOSトランジスタQは以上の一連のオン、オフ動作を反復する。いま、PチャンネルMOSトランジスタQがオンしている期間を T_{ON} 、オフしている期間を T_{OFF} 、 T_{ON} と T_{OFF} との和即ちスイッチング時間を T_s とし、時比率を $d (=T_{ON}/T_s)$ とすると、入力電圧 V_{IN} と出力電圧 V_{OUT} との間には

$$【数1】 V_{OUT} = d \cdot V_{IN}$$

なる関係が成り立つ。こうして、出力電圧 V_{OUT} は予め設定された値に維持される。

【0022】図2は、図1の[イ]、[ロ]、[ハ]及び[ニ]の点における電圧波形を示している。なお、図2において、HIはハイレベルを、LOはローレベルを、GNDは接地レベルをそれぞれ表している。

【0023】

【実施例】図3は、この発明に係る降圧型DC-DCコンバータの一実施例を概略的に示す回路図である。図3において、図1に示す構成要素と同様の機能を奏する構成要素には、図1と同じ参照符号が付されており、これらについての説明は重複を避けるため省略する。なお、抵抗 R_1 は図1の抵抗 R に相当するものであり、 $R_2 \sim R_5$ は抵抗、ZDはコンパレータ IC_2 の非反転入力に基準電圧 V_{REF} を与えるためのツェナーダイオード、 C_3 はコンデンサである。

【0024】次に、図3の降圧型DC-DCコンバータの動作について説明する。入力端子 T_{IN} に入力電圧 V_{IN} が印加されると、抵抗 R_2 を介してツェナーダイオードZDに電圧が加えられてツェナーダイオードZDが導通し、これによってコンパレータ IC_2 の非反転入力に基準電圧 V_{REF} が加えられる。一方、コンパレータ IC_2 の反転入力には、PチャンネルMOSトランジスタQがオフ状態にあるため接地レベルにある。したがって、コンパ

レータ IC_2 の出力はハイレベル、駆動回路 IC_1 の出力はローレベルとなるため、PチャンネルMOSトランジスタQはオンとなる。

【0025】PチャンネルMOSトランジスタQがオンになると、チョークコイルLを流れる電流は時間と共に増加し、出力電圧 V_{OUT} も上昇する。出力電圧 V_{OUT} の上昇と共にコンパレータ IC_2 の反転入力での電圧も上昇していき、基準電圧 V_{REF} を越えると、コンパレータ IC_2 の出力は反転してローレベルになるため、PチャンネルMOSトランジスタQのゲートにハイレベルの電圧が印加され、PチャンネルMOSトランジスタQはオフとなる。この時点でチョークコイルLを流れる電流は減少し始め、出力電圧 V_{OUT} も低下する。出力電圧 V_{OUT} の低下に伴ってコンパレータ IC_2 の反転入力での電圧も低下し、基準電圧 V_{REF} より低くなると、コンパレータ IC_2 の出力は再びハイレベルとなり、PチャンネルMOSトランジスタQはオンになる。

【0026】以上の一連の動作を繰り返すことにより、出力電圧 V_{OUT} は基準電圧 V_{REF} により予め設定された電圧に安定化される。

【0027】実際、入力電圧 V_{IN} を5V、出力電圧 V_{OUT} を3.3V、出力電流を100mAとしたとき、図3のDC-DCコンバータ（前者）と図4の（B）に示す専用IC回路方式のDC-DCコンバータ（後者）とを比較すると、前者の効率は85～88%であるのに対して後者の効率は85%である。また、ノイズは前者は10mV_{PP}であるのに対して後者は250mV_{PP}と25倍も高い。更に、コストに関しては、後者のコストを100とすると、前者のコストは、使用するエレメントに依存するが、45～70である。

【0028】ここでスイッチング素子であるPチャンネルMOSトランジスタQのスイッチング周波数とノイズとの関係について付言する。図3において、チョークコイルLのインダクタンスを L_0 、出力用コンデンサ C_2 の容量を C_0 、スイッチング周波数を $f_s (=1/T_s)$ 、スイッチング素子のオフ時間比を $d' (=T_{OFF}/T_s)$ とすると、出力電圧 V_{OUT} に対するリップル率 r は

$$【数2】 r = (d' T_s^2) / (8 L_0 C_0) = d' / (8 L_0 C_0 f_s^2)$$

で表される。具体的には、図3のDC-DCコンバータにおいては f_s は800kHz前後であり、図4の（B）に示すDC-DCコンバータにおいては f_s は100kHz以下であるから、同じチョークコイルやコンデンサを用いたとすると、図3のDC-DCコンバータの方が格段にリップル率が小さくなり、したがってノイズが小さいことになる。また、図4の（B）に示すDC-DCコンバータのノイズを同等に低く抑えるには、より大容量のコイル、コンデンサが必要になり、小型、低背化に不利になる。

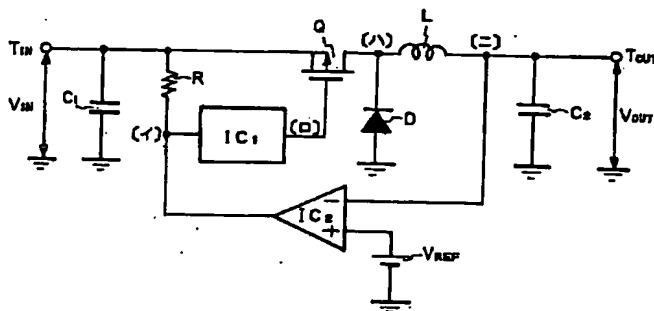
【0029】

【発明の効果】以上、この発明の実施の形態及び実施例を参照しながら説明したところから明らかなように、この発明は、RCC回路方式の降圧型DC-DCコンバータと比較して、出力トランスを必要としないために小型化、低背化することができ、出力ノイズが低く、しかも効率が高い降圧型DC-DCコンバータを提供することができる。また、専用集積回路方式の降圧型DC-DCコンバータと比較しても、効率の点ではほぼ同等であるが、出力ノイズが $1/10$ 以下と低く、コストが約 $1/2$ で済む降圧型DC-DCコンバータを提供することができる。

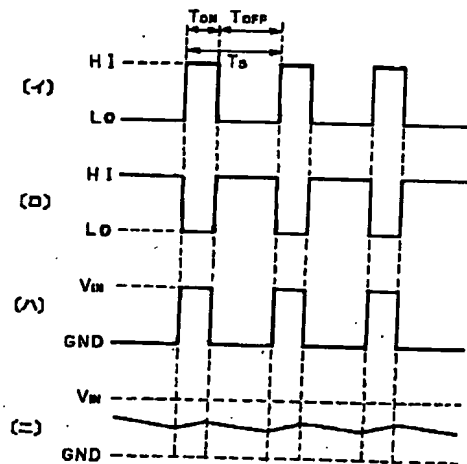
【図面の簡単な説明】

【図1】この発明に係る降圧型DC-DCコンバータの基本構成を示す回路図。

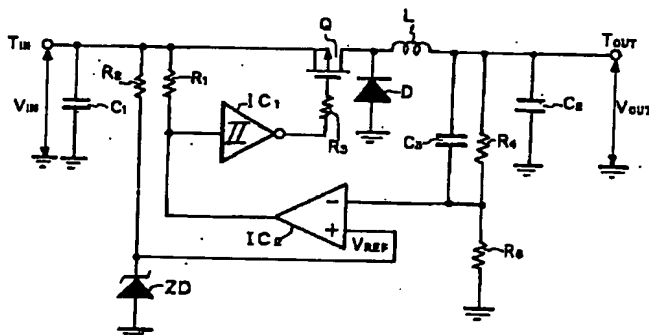
【図1】



【図2】



【図3】



【図2】図1の【イ】、【ロ】、【ハ】及び【ニ】における電圧波形を示す図。

【図3】この発明に係る降圧型DC-DCコンバータの一実施例の構成を概略的に示す回路図。

【図4】(A)及び(B)はそれぞれ従来の降圧型DC-DCコンバータの構成を概略的に示す回路図。

【符号の説明】

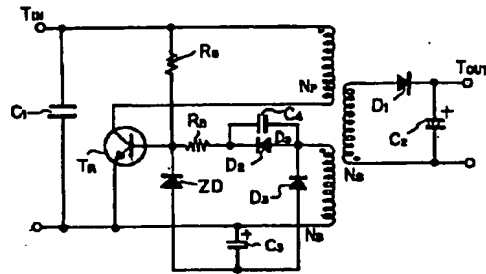
T_{IN} : 入力端子、 T_{OUT} : 出力端子、 V_{IN} : 入力電圧、 C_1 : 入力用コンデンサ、 Q : PチャンネルMOSトランジスタ、 D : ダイオード、 IC_1 : 駆動回路、 IC_2 : コンパレータ、 V_{REF} : 基準電圧、 L : チョークコイル、 C_2 : 出力用コンデンサ、 V_{OUT} : 出力電圧

(6)

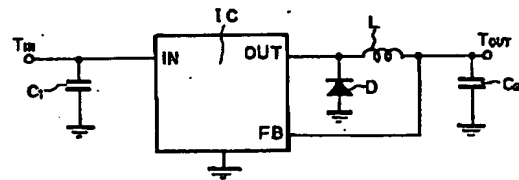
特開平9-51672

【図4】

(A)



(B)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.